

UNIVERSIDAD DEL PACÍFICO



PROGRAMA DE INGENIERÍA DE SISTEMAS

MANUAL DE PRACTICAS PARA EL LABORATORIO DE ELECTRÓNICA DIGITAL

TEÓRICO - PRÁCTICO

2022-I



PRÁCTICA No. 1 ELECTRÓNICA DIGITAL: PRINCIPIOS BÁSICOS

OBJETIVO GENERAL

Conocer la aplicación de dispositivos semiconductores DIODO Y TRANSISTOR, como conmutadores, así como las compuertas lógicas básicas y sus tablas de verdad.

OBJETIVOS ESPECIFICOS

- Comprobar la tabla de verdad de cada una de las compuertas lógicas básicas
- (NOT, OR, NOT, AND, NAND, XOR, NXOR)
- Diseñar la etapa de potencia, para un circuito Eléctrico equivalente.

INTRODUCCION

El funcionamiento del diodo, transistor BJT y CMOS, no solamente puede ser lineal, Sino que puede ser utilizado como elemento no lineal, es decir como conmutador controlado. En un conmutador digital se utilizan varios transistores como conmutadores, en la actualidad, en el diseño de este tipo de circuitos es muy importante la velocidad de conmutación. Para que un elemento no lineal, opere como conmutador, se diseña su circuito de tal forma que el componente este en la zona de CORTE o SATURACION, en el caso de los transistores; en el caso de los diodos de CONDUCCION o NO CONDUCCION.

En CORTE, el transistor es considerado como conmutador “abierto”, ya que no hay corriente en el colector. En SATURACION, el transistor es considerado como conmutador “CERRADO”, ya que se tiene la máxima corriente que circula por el colector. La corriente aplicada a la base del transistor es el medio “controlador” del transistor como conmutador.

En el diodo, de igual manera la corriente es el medio controlador, pero solo con el sentido del flujo de la misma. Por otra parte, las compuertas lógicas son elementos básicos en los sistemas digitales, las cuales operan con números binarios; es decir, “ceros y unos”; un “cero” representa un voltaje BAJO ó 0 Volts, mientras que un “uno” representa un voltaje ALTO ó Vcc.

Existen diferentes tipos de compuertas lógicas, y en los sistemas digitales se opera con las básicas como son:

◆ AND (“Y”)

◆ OR (“O”)

◆ NOT (“N”)

Existiendo otras derivadas de la combinación de las anteriores:

◆ NAND (“N-Y”)

◆ NOR (“N-O”)

◆ XOR (“N-Y-O”)



MATERIAL Y EQUIPO UTILIZADO

- 1 Compuerta NOT 74LS04
- 1 Compuerta AND 74LS08
- 1 Compuerta NAND 74LS00
- 1 Compuerta OR 74LS32
- 1 Compuerta NOR 74LS02
- 1 Compuerta XOR 74LS86
- 1 Compuerta NXOR 74LS266
- LEDs (opcionales, con resistencias de 330 Ω)
- Estados lógicos
- Interruptores
- Fuente de Alimentación
- Software de Simulación Proteus

EXPERIMENTO 1.- Compuertas Lógicas.

a) Para cada una de las compuertas lógicas mostradas en las figuras 1, 2, 3, 4 y 5, construir su circuito y comprobar la tabla de verdad característica, teniendo en cuenta que para niveles lógicos de entrada "0" = 0 volts y "1" = 5 volts y medir los voltajes que se tienen a la salida como niveles lógicos.

74LS04 Pinout

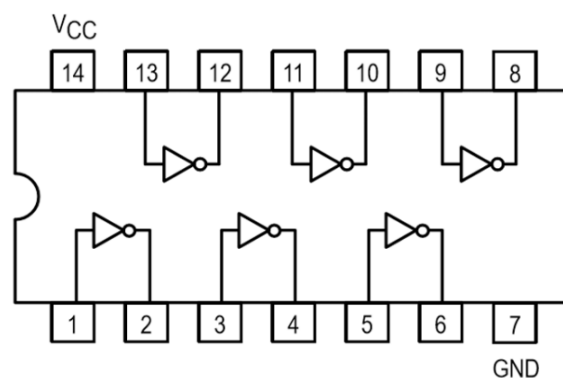


Figura 1. Compuerta NOT

Tabla de Verdad Compuerta NOT

Compuerta	74LS04
A (In)	B (Out)
0	
1	



74LS08 Pinout

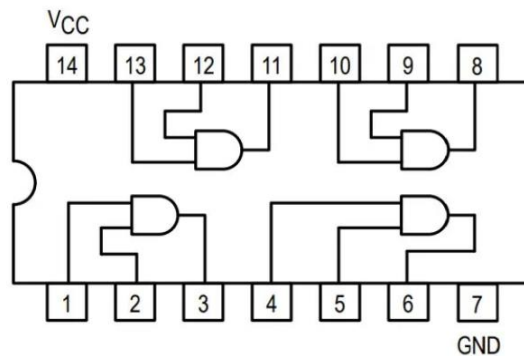


Figura 2. Compuerta AND

Tabla de Verdad Compuerta AND

Compuerta		74LS08
A (In)	B (In)	C (Out)
0	0	
0	1	
1	0	
1	1	

74LS00 Pinout

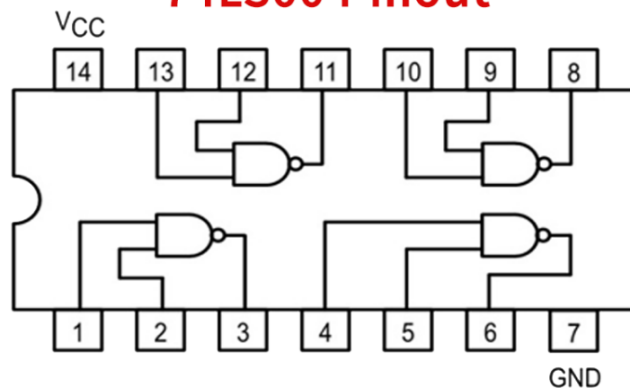


Figura 3. Compuerta NAND

Tabla de Verdad Compuerta NAND

Compuerta		74LS00
A (In)	B (In)	C (Out)
0	0	
0	1	
1	0	
1	1	



74LS32 Pinout

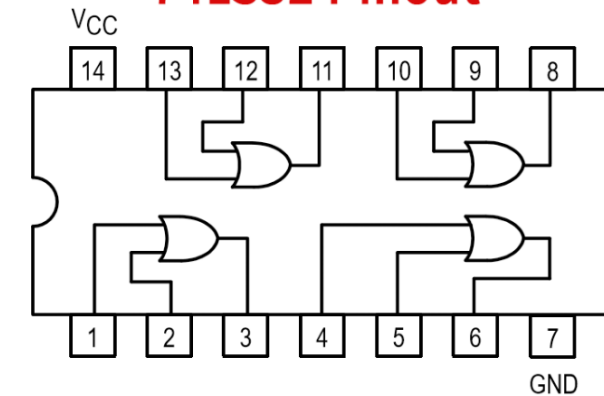


Figura 4. Compuerta OR

Tabla de Verdad Compuerta OR

Compuerta		74LS32
A (In)	B (In)	C (Out)
0	0	
0	1	
1	0	
1	1	

74LS02 Pinout

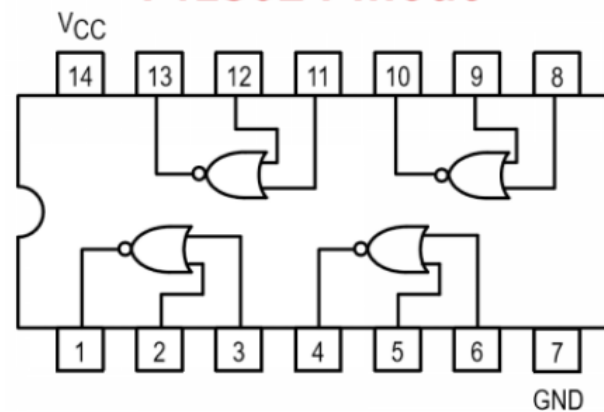


Figura 5. Compuerta NOR

Tabla de Verdad Compuerta NOR

Compuerta		74LS02
A (In)	B (In)	C (Out)
0	0	
0	1	
1	0	
1	1	

74LS86 Pinout

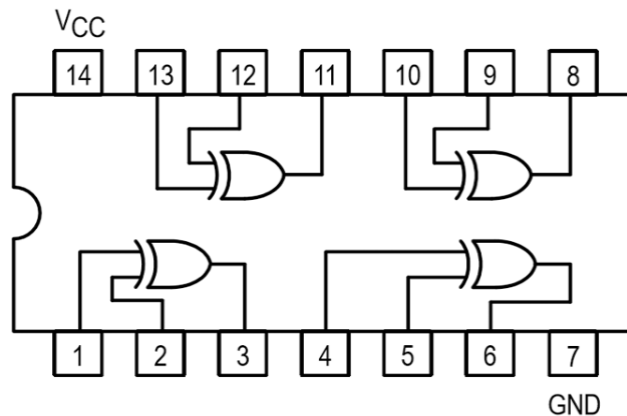


Figura 6. Compuerta XOR

Tabla de Verdad Compuerta XOR

Compuerta		74LS86
A (In)	B (In)	C (Out)
0	0	
0	1	
1	0	
1	1	

74LS266 Pinout

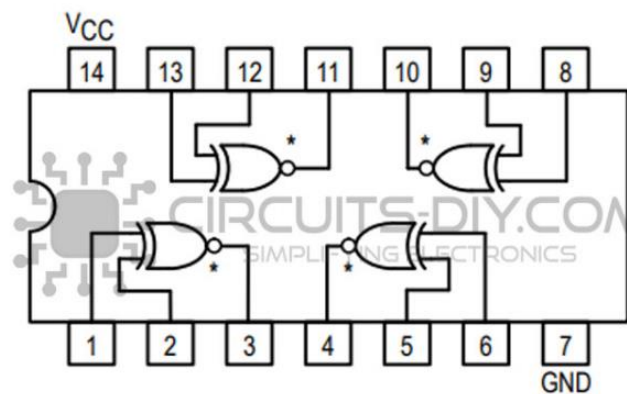


Figura 6. Compuerta XNOR

Tabla de Verdad Compuerta XNOR

Compuerta		74LS266
A (In)	B (In)	C (Out)
0	0	
0	1	
1	0	
1	1	



EXPERIMENTO 2. Construcción de circuitos eléctricos equivalentes

a) Arme los circuitos eléctricos equivalentes de la tabla de compuertas del PDF adjunto

	AND	OR	NOT	YES	NAND	NOR	XOR	XNOR																																																																																																						
Símbolo lógico																																																																																																														
Ecuación lógica	$Q = A \cdot B = AB$	$Q = A + B$	$Q = \overline{A}$	$Q = A$	$Q = \overline{A \cdot B}$	$Q = \overline{A + B}$	$Q = A \oplus B$	$Q = \overline{A \oplus B}$																																																																																																						
Tabla de verdad	<table><tr><th>A</th><th>B</th><th>Q</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	Q	0	0	0	0	1	0	1	0	0	1	1	1	<table><tr><th>A</th><th>B</th><th>Q</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	Q	0	0	0	0	1	1	1	0	1	1	1	1	<table><tr><th>A</th><th>Q</th></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	A	Q	0	1	1	0	<table><tr><th>A</th><th>Q</th></tr><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table>	A	Q	0	0	1	1	<table><tr><th>A</th><th>B</th><th>Q</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	Q	0	0	1	0	1	1	1	0	1	1	1	0	<table><tr><th>A</th><th>B</th><th>Q</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	Q	0	0	1	0	1	0	1	0	0	1	1	0	<table><tr><th>A</th><th>B</th><th>Q</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	Q	0	0	1	0	1	1	1	0	1	1	1	0	<table><tr><th>A</th><th>B</th><th>Q</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	Q	0	0	1	0	1	0	1	0	0	1	1	1
A	B	Q																																																																																																												
0	0	0																																																																																																												
0	1	0																																																																																																												
1	0	0																																																																																																												
1	1	1																																																																																																												
A	B	Q																																																																																																												
0	0	0																																																																																																												
0	1	1																																																																																																												
1	0	1																																																																																																												
1	1	1																																																																																																												
A	Q																																																																																																													
0	1																																																																																																													
1	0																																																																																																													
A	Q																																																																																																													
0	0																																																																																																													
1	1																																																																																																													
A	B	Q																																																																																																												
0	0	1																																																																																																												
0	1	1																																																																																																												
1	0	1																																																																																																												
1	1	0																																																																																																												
A	B	Q																																																																																																												
0	0	1																																																																																																												
0	1	0																																																																																																												
1	0	0																																																																																																												
1	1	0																																																																																																												
A	B	Q																																																																																																												
0	0	1																																																																																																												
0	1	1																																																																																																												
1	0	1																																																																																																												
1	1	0																																																																																																												
A	B	Q																																																																																																												
0	0	1																																																																																																												
0	1	0																																																																																																												
1	0	0																																																																																																												
1	1	1																																																																																																												
Circuito eléctrico equivalente																																																																																																														

Se debe entregar un archivo Zip con las simulaciones de las compuertas y la de los circuitos equivalentes, cada uno de las simulaciones con su respectiva tabla de verdad para corroborar su funcionamiento.

Grupo de cuatro (4) personas

Fecha y hora de entrega: Domingo 12 de junio de 2022 antes de las 23:59Hrs. Deben subirlo al AVAS.

Nota: Si la entrega no se realiza en el AVAS ni dentro de los tiempos no se aceptará ni será recibido por ningún otro medio.

Deben entregar un documento de archivo o reporte donde contenga:

1. Portada
2. Introducción
3. Diseño
4. Desarrollo Práctica
5. Bibliografía

No debe ser superior a 10 hojas

Normas Icontec

- Se debe entregar el informe de la siguiente manera:

- Archivo ZIP/RAR/7z

Informe o reporte en archivo *.pdf.

Ojo con el plagio, donde se compruebe copia directa de internet el trabajo será anulado y tendrán una nota equivalente a 0.