UP
Universidad del Pacífico
Buenaventura • Ingeniería de Sistemas
JJMF

GUÍA DE LABORATORIO 02 | Electrónica Digital

Lógica combinacional: Boole, Karnaugh y NAND/NOR

Curso	Electrónica Digital (EDIG)	**Semestre**	2026-2
Docente	Prof. Jhon Jairo Murillo Flórez	**Duración**	4 horas
Lugar	Sala de cómputo con Proteus	**Modalidad**	Grupal (máximo 3 estudiantes)
Prerrequisitos	Guía 01: Compuertas lógicas básicas	**Versión**	1.3 — 7 de octubre de 2026

Resultados de aprendizaje *Al finalizar, el estudiante estará en capacidad de:*

- **RA1** Verificar experimentalmente los teoremas de DeMorgan y la universalidad de las compuertas NAND y NOR.
- **RA2** Diseñar un circuito combinacional de cuatro variables a partir de una tabla de verdad, minimizándolo con un mapa de Karnaugh e implementándolo con compuertas NAND.
- **RA3** Medir niveles lógicos TTL, analizar el efecto de una señal de habilitación sobre un tren de impulsos y diagnosticar fallas inducidas.
- **RA4** Diseñar e implementar sistemas combinacionales multisalida (un comparador con paridad y el enclavamiento de un montacargas) que integren XOR/XNOR, álgebra de Boole y compuertas NAND/NOR, minimizando los circuitos integrados.

1 Pre-laboratorio

1. Lea los teoremas de DeMorgan, la universalidad, los mapas de Karnaugh, las compuertas XOR/XNOR y los circuitos de habilitación en [1, cap. 3, pp. 80–85, y cap. 4, pp. 120–152] y en [2, cap. 4, pp. 207–246, y cap. 5, pp. 270–291].
2. Demuestre algebraicamente las Ecuaciones (1) y (2) con una tabla de verdad de dos variables.
3. Parte D: complete la columna «F calculada» de la Tabla 7, dibuje el mapa de Karnaugh, obtenga la expresión mínima y dibuje el circuito NAND–NAND con los pines de los 74LS04, 74LS10 y 74LS20 [3].
4. Partes G y H: obtenga los mapas de Karnaugh de G y L (Ecuaciones (6) y (7)), deduzca las expresiones de *SUBIR*, *BAJAR* y *ALARMA* (reglas R1 a R4), calcule las salidas esperadas de la Tabla 12 y proponga un circuito con el menor número de integrados 74LS.

Lista de verificación

☐ Tabla de verdad de F completa ☐ Mapa de Karnaugh resuelto ☐ Diagrama con pines asignados
☐ Diseño de las Partes G y H ☐ Hojas de datos a la mano ☐ Proteus instalado y probado

2 Fundamento teórico

Los teoremas de DeMorgan permiten convertir una compuerta AND en OR (y viceversa) complementando entradas y salida [1, cap. 3, pp. 80–82]:

$$\overline{A \cdot B} = \overline{A} + \overline{B} \tag{1}$$

$$\overline{A + B} = \overline{A} \cdot \overline{B} \tag{2}$$

Como consecuencia, las compuertas NAND y NOR son *universales*: con una sola de ellas se construyen NOT, AND y OR [2, cap. 5, pp. 284–285]. Aquí se diseña la función $F(A, B, C, D)$ que vale 1 cuando el número binario $ABCD$ (A es el bit más significativo) es primo:

$$F(A, B, C, D) = \sum m(2, 3, 5, 7, 11, 13) \tag{3}$$

Al agrupar los unos en el mapa de la Figura 1 [1, cap. 4, pp. 133–143] se obtiene la expresión mínima en suma de productos:

EXPRESIÓN MÍNIMA DE F

$$F = \overline{A}\,\overline{B}\,C + \overline{A}\,B\,D + \overline{B}\,C\,D + B\,\overline{C}\,D \tag{4}$$

donde:

A, B, C, D : variables de entrada (nivel lógico) [0 o 1]
F : salida: 1 si el número $ABCD$ es primo [0 o 1]

La forma canónica de la Ecuación (3) requiere seis términos de cuatro literales (24 literales); la Ecuación (4) requiere cuatro términos de tres literales (12). Aplicando DeMorgan dos veces se obtiene la forma NAND–NAND de la Figura 2:

$$F = \overline{\overline{A}\,\overline{B}\,C \cdot \overline{A}\,B\,D \cdot \overline{B}\,C\,D \cdot B\,\overline{C}\,D} \tag{5}$$

Para la Parte G se compara el número $A = A_1A_0$ con $B = B_1B_0$ (ambos de 2 bits). La igualdad se detecta con compuertas XNOR [1, cap. 4, pp. 144–148]:

$$E = \overline{A_1 \oplus B_1} \cdot \overline{A_0 \oplus B_0} \tag{6}$$

Las salidas G ($A > B$) y L ($A < B$) se obtienen con mapas de Karnaugh. El bit de paridad par P hace que el número total de unos en $A_1A_0B_1B_0P$ sea par [1, cap. 4, pp. 149–150]:

$$P = A_1 \oplus A_0 \oplus B_1 \oplus B_0 \tag{7}$$

La Parte H aplica estas herramientas a un enclavamiento: una orden se ejecuta solo si se cumplen todos sus permisivos, es decir, es una función AND de condiciones [1, cap. 3, pp. 62–64]. Los permisivos se escriben en

lógica positiva (1 es la condición segura) y cada entrada lleva una resistencia a GND, de modo que un cable roto equivale a 0 y detiene el movimiento.

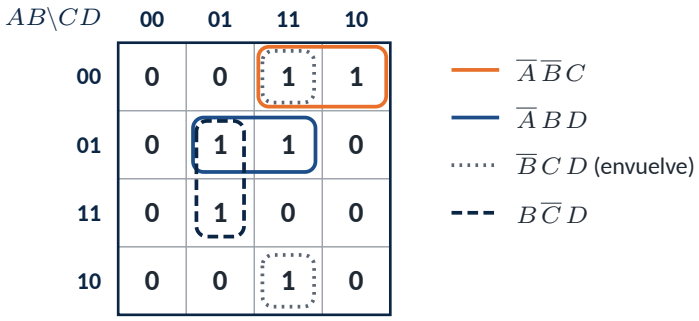


Figura 1. Mapa de Karnaugh de F con los cuatro grupos de la Ecuación (4).

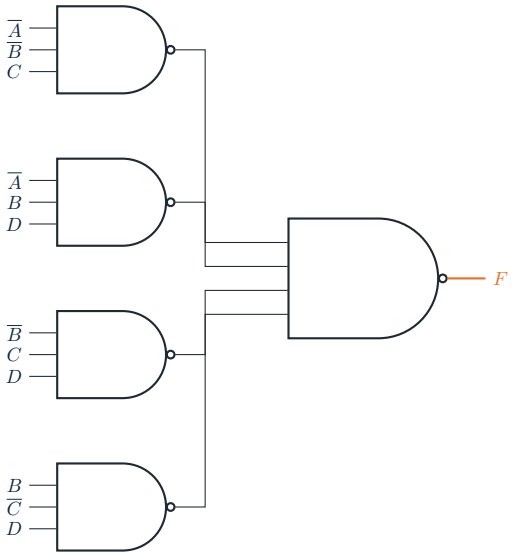


Figura 2. Implementación NAND–NAND de la Ecuación (5). Los complementos se obtienen con tres inversores del 74LS04.

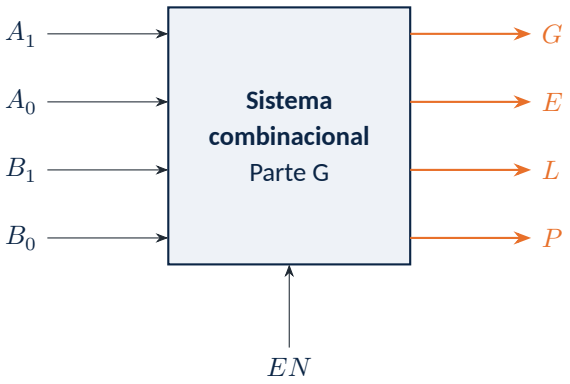


Figura 3. Diagrama de bloques de la Parte G: G ($A > B$), E ($A = B$), L ($A < B$) y P (paridad). $EN = 0$ fuerza $G = E = L = 0$.

Tabla 1. Niveles lógicos de la familia 74LS [3].

Símbolo	Descripción	Valor límite
V_{IL}	Tensión máxima de entrada reconocida como 0	0,8 V
V_{IH}	Tensión mínima de entrada reconocida como 1	2,0 V
V_{OL}	Tensión máxima de salida en nivel bajo	0,5 V
V_{OH}	Tensión mínima de salida en nivel alto	2,7 V

3 Materiales y equipos

La práctica se realiza por completo en simulación con Proteus (ISIS). La Tabla 2 lista el software y los componentes de su biblioteca; la cantidad es el máximo permitido por diseño, para que la minimización de circuitos integrados tenga sentido.

Tabla 2. Software y componentes de simulación por estudiante o grupo.

Cant. máx.	Elemento	Referencia	Origen
1	Computador con Proteus Design Suite (ISIS)	—	Sala de cómputo
2	Cuádruple NAND de 2 entradas	74LS00	Biblioteca de Proteus
1	Cuádruple NOR de 2 entradas	74LS02	Biblioteca de Proteus
2	Seis inversores	74LS04	Biblioteca de Proteus
1	Cuádruple AND de 2 entradas	74LS08	Biblioteca de Proteus
2	Triple NAND de 3 entradas	74LS10	Biblioteca de Proteus
2	Doble NAND de 4 entradas	74LS20	Biblioteca de Proteus
1	NAND de 8 entradas	74LS30	Biblioteca de Proteus
1	Cuádruple OR de 2 entradas	74LS32	Biblioteca de Proteus
1	Cuádruple XOR de 2 entradas	74LS86	Biblioteca de Proteus
4	LED con resistencia de 330 Ω	LED-RED, RES	Biblioteca de Proteus
7	Resistencia de 10 kΩ (a GND)	RES	Biblioteca de Proteus
8	Estados lógicos e interruptores	LOGICSTATE, SW-SPST	Biblioteca de Proteus
1	Voltímetro DC, osciloscopio y generador de reloj	DCLOCK	Instrumentos virtuales

4 Seguridad en el laboratorio

Nota — Buenas prácticas de simulación

Guarde una copia del proyecto antes de cada parte y nombre los archivos con el formato `EDIG02_ParteX_Apellido`. Rotule las entradas y salidas y no deje entradas sin conectar. Al llevar un diseño a un montaje físico aplique las medidas de descarga electrostática y alimente los integrados con 5,0 V $\pm$ 5 %.

Precaución

El caso de la Parte H es un ejercicio académico. Los equipos de izaje reales usan relés o controladores de seguridad certificados, no lógica TTL.

5 Procedimiento

1 **Preparación.** ≈ 10 min

- **a)** Cree un proyecto nuevo en ISIS y guárdelo con el nombre indicado en las buenas prácticas. Agregue los componentes de la Tabla 2 con la tecla P (modo Component).
- **b)** Los pines de alimentación de los integrados TTL están ocultos y conectados por defecto en Proteus: verifíquelo en las propiedades del componente y no los cablee.
- **c)** Modele cada entrada con un estado lógico (LOGICSTATE) y cada salida con un LED en serie con una resistencia de 330 Ω a tierra.

2 **Parte A. Teoremas de DeMorgan** (Ecuaciones (1) y (2)). ≈ 15 min

- **a)** Con una compuerta del 74LS00 implemente $\overline{A \cdot B}$.
- **b)** Con un inversor por entrada (74LS04) y una compuerta del 74LS32 implemente $\overline{A} + \overline{B}$.
- **c)** Con una compuerta del 74LS02 implemente $\overline{A + B}$, y con inversores (74LS04) y una compuerta del 74LS08 implemente $\overline{A} \cdot \overline{B}$.
- **d)** Para las cuatro combinaciones de A y B, inicie la simulación, mida cada salida con el voltímetro DC virtual y regístrela en la Tabla 4.

3 **Parte B. Universalidad de la NAND.** Con dos 74LS00, construya NOT (entradas unidas), AND (NAND seguida de NOT) y OR (NAND de las entradas complementadas). Registre los niveles en la Tabla 5. ≈ 10 min

4 **Parte C. XOR con compuertas NAND.** ≈ 10 min

- **a)** Con cuatro NAND construya: $N_1 = \overline{A\,B}$, $N_2 = \overline{A\,N_1}$, $N_3 = \overline{B\,N_1}$ y $Y = \overline{N_2\,N_3}$.
- **b)** Conecte las mismas entradas a una compuerta del 74LS86 y compare Y con su salida en la Tabla 6.

5 **Parte D. Detector de números primos.** ≈ 35 min

- **a)** Revisión previa: muestre al docente su mapa de Karnaugh, su expresión mínima y su diagrama con pines. El docente verifica que la expresión coincida con la Ecuación (4) y autoriza el dibujo del esquema.
- **b)** Dibuje en ISIS el circuito de la Figura 2: tres inversores (74LS04), cuatro NAND de 3 entradas (dos 74LS10) y una NAND de 4 entradas (74LS20).
- **c)** Con la simulación en marcha, aplique las 16 combinaciones de $ABCD$ en orden binario cambiando los estados lógicos. Registre en la Tabla 7 el nivel lógico y la tensión de F.
- **d)** Verifique que el LED se enciende solo para 2, 3, 5, 7, 11 y 13 y guarde una captura del esquema.

6 **Parte E. Circuitos de habilitación con tren de impulsos.** ≈ 15 min

a) Coloque un generador DCLOCK, ajústelo a 1 kHz y aplíquelo como CLK a una compuerta AND (74LS08) y a una OR (74LS32). La otra entrada de cada una es la habilitación EN, modelada con un estado lógico.

b) Conecte el osciloscopio virtual a CLK y a cada salida, y observe la forma de onda con $EN = 0$ y con $EN = 1$.

c) Dibuje o describa lo observado en la Tabla 8, comparando con la Figura 5.

7 Parte F. Diagnóstico de fallas. ≈ 10 min

a) Sin que su grupo lo vea, un compañero modifica una copia del proyecto de la Parte D: borra el cable de una entrada de una NAND o la conecta a tierra.

b) Simule las 16 combinaciones y marque en la Tabla 9 las que difieren de la Tabla 7.

c) Deduzca la compuerta afectada, confírmelo con una sonda lógica (LOGICPROBE) o el voltímetro, repare y verifique.

8 Parte G. Comparador de 2 bits con paridad y habilitación (nivel avanzado). ≈ 45 min

a) Diseño: con los mapas de Karnaugh de G y L obtenga sus expresiones mínimas; obtenga E y P de las Ecuaciones (6) y (7). Muéstrelas al docente antes de montar.

b) Siguiendo el diagrama de la Figura 3, defina la implementación con el menor número de circuitos integrados 74LS de la Tabla 2. Con $EN = 0$ las salidas G, E y L deben quedar en 0; P permanece activa.

c) Dibuje por bloques y simule cada uno antes de continuar: primero E, luego G y L, después P y, por último, la habilitación.

d) Con $EN = 1$ simule las 16 combinaciones de $A_1A_0B_1B_0$ y registre G, E, L y P en la Tabla 10.

e) Con $EN = 0$ repita cuatro combinaciones a su elección y anote en la Tabla 11 el nivel de cada salida.

f) Compruebe con los LED o las sondas lógicas que, con $EN = 1$, exactamente una de G, E y L vale 1 en cada combinación.

> **Nota — Caso de aplicación: enclavamiento de un montacargas**
>
> Un montacargas de bodega mueve mercancía entre dos niveles. Su tablero de mando debe ordenar el movimiento solo cuando se cumplen condiciones de seguridad (permisivos). Diseñe la lógica combinacional que cumpla las siguientes reglas, con las señales de la Tabla 3 y la Figura 4:
>
> **R1.** *SUBIR* se activa si *SUB* está oprimido, *BAJ* no, y PE, PU, CAR y FS valen 1.
>
> **R2.** *BAJAR* se activa si *BAJ* está oprimido, *SUB* no, y PE, PU y FI valen 1. La sobrecarga no impide bajar, para poder depositar la carga.
>
> **R3.** Si *SUB* y *BAJ* se oprimen a la vez, ningún movimiento se activa.
>
> **R4.** *ALARMA* se activa si $PE = 0$ o si se pide un movimiento (*SUB* o *BAJ*) y no se ejecuta.

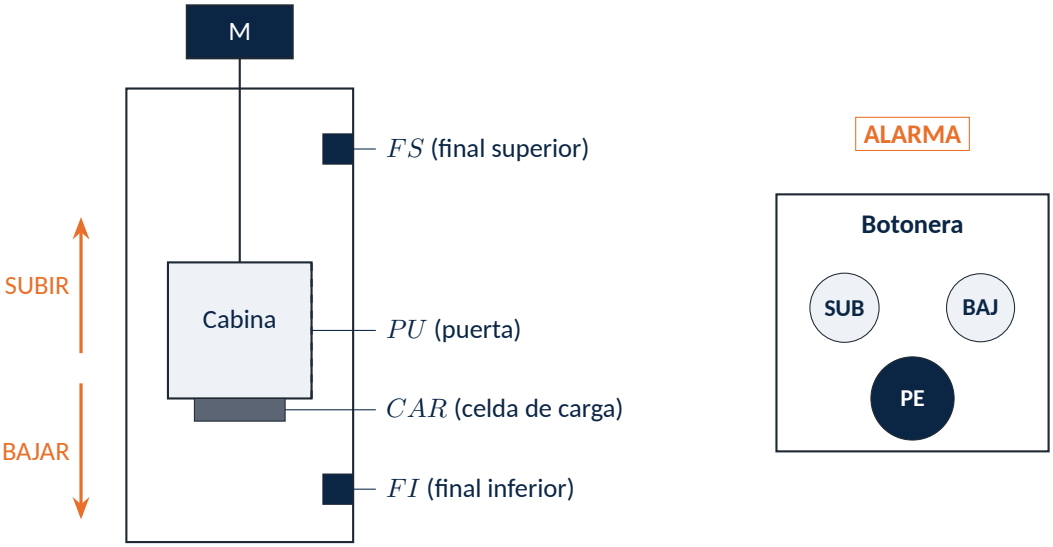


Figura 4. Montacargas de bodega: sensores y mandos (azul marino) y salidas del enclavamiento (naranja).

Tabla 3. Señales del sistema de enclavamiento (Parte H).

Señal	Tipo	Descripción	Nivel 1
SUB	Mando	Pulsador de subida	Presionado
BAJ	Mando	Pulsador de bajada	Presionado
PE	Permisivo	Paro de emergencia (contacto normalmente cerrado)	No presionado
PU	Permisivo	Contacto de la puerta de la cabina	Puerta cerrada
CAR	Permisivo	Celda de carga	Carga dentro del límite
FS	Permisivo	Final de carrera superior	Libre (no accionado)
FI	Permisivo	Final de carrera inferior	Libre (no accionado)
SUBIR	Salida	Contactor de subida	Ordena subir
BAJAR	Salida	Contactor de bajada	Ordena bajar
ALARMA	Salida	Señal acústica	Activa

9 **Parte H. Caso de aplicación: enclavamiento del montacargas (nivel alto).** ≈ 70 min

a) Con las reglas R1 a R4, complete en la Tabla 12 las salidas esperadas de los 12 escenarios (pre-laboratorio).

b) Con álgebra de Boole obtenga las expresiones de *SUBIR* y *BAJAR* y la expresión mínima de *ALARMA*. Intente expresar *ALARMA* a partir de *SUBIR* y *BAJAR* para ahorrar compuertas.

c) Diseñe el circuito con compuertas NAND/NOR 74LS y el menor número de integrados de la Tabla 2. Dibuje el diagrama con los pines y muéstrelo al docente.

d) Modele las siete entradas con un interruptor (SW-SPST) hacia 5 V y una resistencia de 10 kΩ a GND, de modo que un contacto abierto produzca 0.

e) Dibuje por bloques y simule cada uno: permisivos comunes, *SUBIR*, *BAJAR* y *ALARMA*.

f) Ejecute los 12 escenarios y registre las salidas obtenidas en la Tabla 12.

g) Simule un cable roto: con $SUB = 1$ y todos los permisivos en 1, abra el interruptor de PU y anote en la Tabla 12 el estado de *SUBIR* y *ALARMA* (escenario 13).

Buena práctica

Con siete entradas la tabla de verdad tiene 128 filas, así que un mapa de Karnaugh directo no es práctico. Descomponga el problema: factorice los permisivos comunes y reutilice señales intermedias en lugar de partir de cero para cada salida.

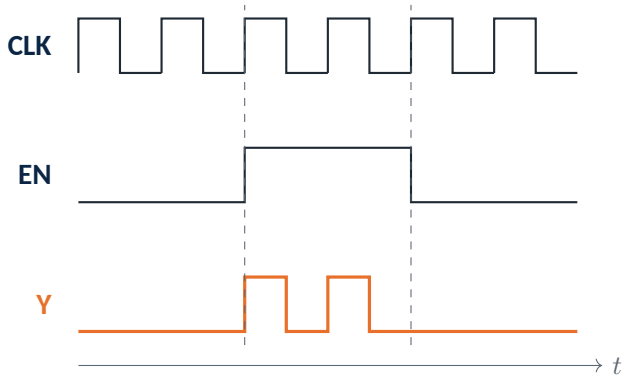


Figura 5. Ejemplo de habilitación de un tren de impulsos con una compuerta AND: $Y = CLK \cdot EN$.

EDA Playground

Simulador en línea de VHDL y Verilog, útil para el reto de extensión.

`https://www.edaplayground.com`

6 Registro de datos

Tabla 4. Parte A: tensiones de salida en voltios (diligenciar durante la simulación).

A	B	$\overline{A \cdot B}$	$\overline{A} + \overline{B}$	$\overline{A + B}$	$\overline{A} \cdot \overline{B}$
0	0				
0	1				
1	0				
1	1				

Tabla 5. Parte B: funciones construidas solo con NAND (nivel lógico).

A	B	NOT: $\overline{A}$	AND: $A \cdot B$	OR: $A + B$
0	0			
0	1			
1	0			
1	1			

Tabla 6. Parte C: XOR con cuatro NAND frente al 74LS86 (nivel lógico).

A	B	N_1	N_2	N_3	Y (NAND)	74LS86
0	0					
0	1					
1	0					
1	1					

Tabla 7. Parte D: detector de números primos (diligenciar durante la simulación).

Decimal	A	B	C	D	F calculada	F simulada	V_F [V]
0	0	0	0	0			
1	0	0	0	1			
2	0	0	1	0			
3	0	0	1	1			
4	0	1	0	0			
5	0	1	0	1			
6	0	1	1	0			
7	0	1	1	1			
8	1	0	0	0			
9	1	0	0	1			
10	1	0	1	0			
11	1	0	1	1			
12	1	1	0	0			
13	1	1	0	1			
14	1	1	1	0			
15	1	1	1	1			

Tabla 8. Parte E: observación en el osciloscopio virtual.

Condición	Salida de la AND (74LS08)	Salida de la OR (74LS32)
$EN = 0$		
$EN = 1$		

Tabla 9. Parte F: diagnóstico de la falla inducida.

Combinaciones erróneas	Compuerta sospechosa	Medición de confirmación	Corrección realizada

Tabla 10. Parte G: comparador de 2 bits con $EN = 1$ (diligenciar durante la simulación).

A, B	A_1	A_0	B_1	B_0	G	E	L	P
0,0	0	0	0	0				
0,1	0	0	0	1				
0,2	0	0	1	0				
0,3	0	0	1	1				
1,0	0	1	0	0				
1,1	0	1	0	1				
1,2	0	1	1	0				
1,3	0	1	1	1				
2,0	1	0	0	0				
2,1	1	0	0	1				
2,2	1	0	1	0				
2,3	1	0	1	1				
3,0	1	1	0	0				
3,1	1	1	0	1				
3,2	1	1	1	0				
3,3	1	1	1	1				

Tabla 11. Parte G: comprobación con $EN = 0$.

Prueba	A_1	A_0	B_1	B_0	G	E	L	P
1								
2								
3								
4								

Tabla 12. Parte H: escenarios de prueba del enclavamiento (diligenciar durante la simulación).

Esc.	Situación	SUB	BAJ	PE	PU	CAR	FS	FI	Esperada (S, B, A)	Simulada (S, B, A)
1	Reposo	0	0	1	1	1	1	1		
2	Subir normal	1	0	1	1	1	1	1		
3	Bajar normal	0	1	1	1	1	1	1		
4	Subir y bajar juntos	1	1	1	1	1	1	1		
5	Paro al subir	1	0	0	1	1	1	1		
6	Puerta abierta al subir	1	0	1	0	1	1	1		
7	Sobrecarga al subir	1	0	1	1	0	1	1		
8	Sobrecarga al bajar	0	1	1	1	0	1	1		
9	Final superior	1	0	1	1	1	0	1		
10	Final inferior	0	1	1	1	1	1	0		
11	Paro sin mando	0	0	0	1	1	1	1		
12	Bajar, puerta abierta	0	1	1	0	1	1	1		
13	Cable roto en PU	1	0	1	—	1	1	1		

7 Análisis y discusión

1. **Partes A a C.** (a) Con la Tabla 4 verifique las Ecuaciones (1) y (2); compare las tensiones simuladas con V_{OH} y V_{OL} de la Tabla 1 y explique por qué un simulador no las reproduce exactamente. (b) Según la Tabla 5, ¿cuántas NAND necesita para NOT, AND y OR? Justifique la OR con la Ecuación (1).
2. **Parte D.** (a) ¿Coincide F simulada con F calculada en la Tabla 7? (b) En la Figura 1, demuestre que $\overline{A}BD$ puede sustituirse por $\overline{A}CD$ sin cambiar F y explique por qué hay dos coberturas mínimas. (c) Compare las Ecuaciones (3) y (4) en número de compuertas y de integrados.
3. **Partes E y F.** Con la Figura 5 y la Tabla 8, explique por qué la compuerta OR deshabilita el tren de impulsos

con $EN = 1$ y no con $EN = 0$. Describa con la Tabla 9 cómo localizó la falla.

4. **Parte G.** (a) Con la Tabla 10, demuestre que G, E y L son mutuamente excluyentes y que la Ecuación (7) produce paridad par en las 16 filas. (b) Presente las expresiones mínimas de G y L y justifique cada grupo del mapa; ¿ayudó la Ecuación (6) a usar menos integrados? (c) Identifique la ruta más larga de su circuito, cuente sus niveles de compuertas y estime el retardo con la hoja de datos [3]; compárelo con la Parte D.

5. **Parte H.** (a) Demuestre con DeMorgan que *ALARMA* escrita a partir de *SUBIR* y *BAJAR* equivale a la suma de productos de la regla R4 y compare el costo de ambas. (b) Con los escenarios 7 y 8 de la Tabla 12, explique por qué la sobrecarga inhibe *SUBIR* pero no *BAJAR*. (c) Con el escenario 13, explique por qué una entrada con resistencia a GND hace seguro el sistema ante un cable roto y qué pasaría con un contacto normalmente abierto en lógica negativa.

> **? Pregunta de reflexión**
> Su circuito apaga *ALARMA* en cuanto PE vuelve a 1. ¿Qué elemento de memoria necesitaría para que el paro de emergencia permanezca enclavado hasta un rearme manual, y por qué un circuito puramente combinacional no puede hacerlo?

8 Reto de extensión

Describa la función F en VHDL (Código 1), simule las 16 combinaciones en EDA Playground y compare el resultado con la Tabla 7. Como ampliación, describa también el enclavamiento de la Parte H y reproduzca los escenarios de la Tabla 12. *Otorga hasta 0,5 puntos adicionales.*

Código 1. Descripción de F en VHDL.

```vhdl
library ieee;
use ieee.std_logic_1164.all;

entity primo4 is
  port (A, B, C, D : in  std_logic;
        F          : out std_logic);
end primo4;

architecture flujo of primo4 is
begin
  F <= ((not A) and (not B) and C) or
       ((not A) and B and D) or
       ((not B) and C and D) or
       (B and (not C) and D);
end flujo;
```

9 Entregables y evaluación

Entregue un archivo comprimido con el informe en PDF (máximo 7 páginas: portada, introducción, diseño, desarrollo, análisis y bibliografía IEEE) con capturas de los esquemas y de las formas de onda, y los proyectos de Proteus (.pdsprj) de las Partes A a D, G y H, cada uno con su tabla de verdad o de escenarios. Un trabajo con copia directa de internet se califica con 0,0. Se evalúa con la rúbrica de la Tabla 13.

Tabla 13. Rúbrica de evaluación (escala de 0,0 a 5,0).

Criterio	Peso	Superior (4,5–5,0)	Alto (4,0–4,4)	Básico (3,0–3,9)	Bajo (<3,0)
Pre-laboratorio y diseño (RA2, RA4)	15 %	Tablas, mapas, expresiones y diagramas correctos antes de la sesión.	Un error menor corregido en clase.	Incompleto o con errores que cambian la salida.	No lo presenta.
Verificación y simulación, Partes A a F (RA1, RA3)	20 %	Tablas completas, niveles coherentes con la teoría y falla localizada con evidencia.	Tablas completas con una discrepancia explicada.	Tablas incompletas o sin unidades.	Sin simulación.
Sistema multisalida, Parte G (RA4)	15 %	Mínimo, correcto en las 16 combinaciones y con EN operativo.	Correcto con un integrado de más.	Falla en algunas combinaciones.	No funciona.
Caso de aplicación, Parte H (RA4)	25 %	13 escenarios correctos, *ALARMA* factorizada y cable roto seguro.	13 escenarios correctos sin factorizar.	De 8 a 12 escenarios correctos.	Menos de 8 escenarios o sin funcionamiento.
Análisis e informe (RA3)	15 %	Cinco preguntas con cifras y causas, citando ecuaciones, tablas y figuras; IEEE.	Responde con causas generales; fallas menores de formato.	Describe sin comparar o sin referencias.	Sin análisis o no lo entrega.
Organización del proyecto	10 %	Archivos nombrados, esquemas rotulados y copias de cada versión.	Orden con un descuido menor.	Esquemas desordenados o sin rótulos.	Archivos ilegibles o no entregados.

10 Referencias

[1] R. J. Tocci, N. S. Widmer y G. L. Moss, *Sistemas digitales: principios y aplicaciones*, 10.ª ed. México: Pearson Educación, 2007.

[2] T. L. Floyd, *Fundamentos de sistemas digitales*, 9.ª ed. Madrid: Pearson Educación, 2006.

[3] Texas Instruments, *SN54LS00, SN74LS00: Quadruple 2-Input Positive-NAND Gates*, hoja de datos.

Registro del grupo

Nombre completo	Código	Firma

Elaborado por: Prof. Jhon Jairo Murillo Flórez • jjmurilloflorez@unipacifico.edu.co
Código: `JJMF-EDIG-LAB-02-v1.3` • Universidad del Pacífico
Este material se distribuye bajo licencia Creative Commons Atribución–NoComercial–CompartirIgual 4.0 (CC BY-NC-SA 4.0).

Versión	Fecha	Cambios
1.0	06/10/2026	Versión inicial.
1.1	06/10/2026	Se agrega la Parte G (nivel avanzado).
1.2	07/10/2026	Se agrega la Parte H (caso de aplicación) y se actualiza al formato v1.2 con fuente citada.
1.3	07/10/2026	La práctica se adapta a simulación en Proteus y los grupos son de máximo 3 estudiantes.