TALLER 04 | Electrónica Digital

Taller integrador: álgebra de Boole, Karnaugh y lógica combinacional

Curso	Electrónica Digital (EDIG)	**Semestre**	2026-2
Docente	Prof. Jhon Jairo Murillo Flórez	**Duración**	6 horas
Lugar	Aula de cómputo (simulación)	**Modalidad**	Grupal (máximo 3 estudiantes)
Prerrequisitos	Sistemas numéricos y compuertas lógicas	**Versión**	1.0 — 07 de octubre de 2026

Resultados de aprendizaje *Al finalizar, el estudiante estará en capacidad de:*

- **RA1** Simplificar funciones lógicas con álgebra de Boole, teoremas de De Morgan y mapas de Karnaugh.
- **RA2** Representar funciones en formas canónicas (minterminos y maxterminos) y convertir entre ellas.
- **RA3** Diseñar circuitos combinacionales con compuertas básicas, NAND y NOR a partir de un enunciado.
- **RA4** Analizar circuitos y formas de onda, y verificar los diseños en un simulador.

1 Preparación previa

1. Lea el resumen de compuertas digitales de la fuente del curso [1, p. 69] y repase la Tabla 1 y la Figura 1.
2. Repase los capítulos de álgebra de Boole, simplificación y análisis combinacional del texto de apoyo [2, caps. 4 y 5].
3. Imprima o dibuje seis plantillas del mapa de Karnaugh de la Figura 2 y deje instalado el simulador de circuitos lógicos del curso.

Lista de verificación

- ☐ Resumen de compuertas leído
- ☐ Plantillas de Karnaugh listas
- ☐ Simulador instalado
- ☐ Hojas de trabajo ordenadas

2 Fundamento teórico

La Tabla 1 y la Figura 1 resumen las compuertas AND, OR, NOT, YES, NAND, NOR, XOR y XNOR con su símbolo, su ecuación y su tabla de verdad [1, p. 69]. El resumen incluye además los símbolos especiales Schmitt-trigger, colector abierto y tri-state, que no se usan en este taller. La simplificación de funciones y los mapas de Karnaugh se desarrollan en [2, caps. 4 y 5].

Tabla 1. Ecuación y salida Q de las compuertas básicas (A y B son las entradas).

Compuerta	Ecuación lógica	Salida Q para AB = 00, 01, 10, 11
AND	$Q = A \cdot B = AB$	0, 0, 0, 1
OR	$Q = A + B$	0, 1, 1, 1
NOT	$Q = A'$	1, 0 (para A = 0, 1)
YES (buffer)	$Q = A$	0, 1 (para A = 0, 1)
NAND	$Q = (A \cdot B)'$	1, 1, 1, 0
NOR	$Q = (A + B)'$	1, 0, 0, 0
XOR	$Q = A \oplus B$	0, 1, 1, 0
XNOR	$Q = (A \oplus B)'$	1, 0, 0, 1

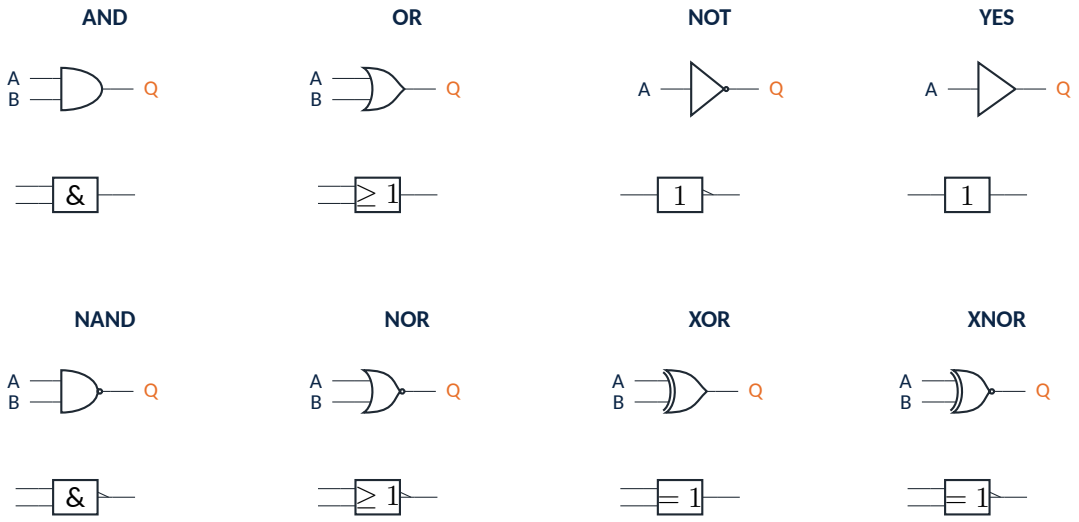


Figura 1. Símbolos lógicos (arriba de cada par) y su equivalente rectangular ANSI/IEEE (abajo).

Las identidades de De Morgan permiten pasar de una suma a un producto y viceversa, y con ellas cualquier función se implementa solo con compuertas NAND o solo con NOR.

TEOREMAS DE DE MORGAN

$$(A \cdot B)' = A' + B'$$
$$(A + B)' = A' \cdot B' \tag{1}$$

Una identidad muy útil al simplificar es la de absorción:

$$A + A'B = A + B \tag{2}$$

Una función de n variables se escribe en forma canónica como suma de minterminos (los unos de la tabla de verdad) o como producto de maxterminos (los ceros):

$$F = \sum m(i_1, i_2, \dots) \tag{3}$$

$$F = \prod M(j_1, j_2, \dots) \tag{4}$$

donde:

i_k : índices de las filas donde $F = 1$ [decimal]
j_k : índices de las filas donde $F = 0$ [decimal]

Los índices de la Ecuación (4) son los que *no* aparecen en la Ecuación (3). En el mapa de Karnaugh de la Figura 2 las filas y columnas siguen el orden Gray (00, 01, 11, 10), de modo que las celdas vecinas, incluidas las de los bordes opuestos, difieren en un solo bit y pueden agruparse en potencias de dos.

$AB\backslash CD$	00	01	11	10
00	0	1	3	2
01	4	5	7	6
11	12	13	15	14
10	8	9	11	10

Figura 2. Plantilla del mapa de Karnaugh de cuatro variables; cada celda indica su mintermino.

3 Recursos y materiales

La Tabla 2 lista lo necesario; el taller no requiere montaje físico.

Tabla 2. Materiales y recursos por estudiante.

Cant.	Elemento	Referencia	Responsable
1	Computador con simulador de circuitos lógicos	El indicado en la página del curso	Estudiante
1	Resumen de compuertas digitales	Tabla 1 y Figura 1	Docente
6	Plantillas del mapa de Karnaugh	Figura 2	Estudiante
1	Lápiz, borrador y regla	—	Estudiante

4 Recomendaciones y buenas prácticas

Nota — Trabajo en grupo

El taller es de papel y simulación: no hay riesgo eléctrico. Se resuelve en grupos de máximo tres estudiantes y los pasos se reparten de modo que todos resuelvan al menos un diseño completo. Guarde copias de sus archivos de simulación, nombre cada circuito con el número del paso y nunca deje entradas sin definir en el simulador, porque producen resultados indeterminados.

5 Desarrollo del taller

Cada paso es un ejercicio del taller (pasos 1 a 20). Resuelva en orden, dibuje los mapas de Karnaugh con las agrupaciones marcadas y registre sus resultados en la Tabla 5.

5.1 Parte I. Álgebra de Boole

1. Simplifique con postulados y teoremas, nombrando la ley usada en cada paso; puede apoyarse en la Ecuación (2). ≈ 12 min

   a) $F_1 = x'yz' + x'yz + xy'z + xyz' + xyz$

   b) $F_2 = (ab + ac)' + a'b'c$

   c) $F_3 = ((a + b)'(b + c))'$

2. Simplifique $S = A'BC + AB'C' + AB'C + ABC' + ABC$ indicando claramente las operaciones empleadas, y compruebe el resultado con una tabla de verdad. ≈ 10 min

3. Mediante tablas de verdad, determine cuáles de las siguientes igualdades se cumplen y corrija las que no. ≈ 12 min

a) $a'b' + ab' + a'b = (ab)'$

b) $a'b'c' = (abc)'$

c) $a' + b' + c' = (a + b + c)'$

d) $a'b' + ab = (a + b')(a' + b)$

4 El circuito de la Figura 3 usa cuatro compuertas NAND. ≈ 12 min

a) Escriba la expresión de la salida de cada compuerta.

b) Demuestre algebraicamente que $Q = A \oplus B$ (compare con la Tabla 1).

c) Complete la tabla de verdad y verifíquela en el simulador.

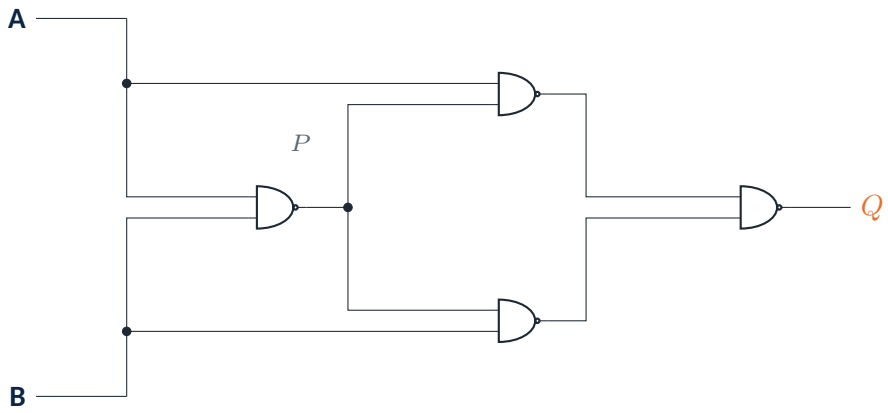


Figura 3. Compuerta XOR construida con cuatro compuertas NAND.

5.2 Parte II. Teoremas de De Morgan

5 Aplique la Ecuación (1) para obtener una suma de productos simplificada de $F(x, y, z) = (xy' + z)'(y + z)'$. Muestre cada paso. ≈ 10 min

6 Dada $F = ((x + y)(xy' + z)')'$: ≈ 12 min

a) Use De Morgan para llevarla a una suma de productos y simplifíquela.

b) Implemente la función simplificada usando únicamente compuertas NAND.

5.3 Parte III. Minterminos y maxterminos

7 Con la Tabla 3: ≈ 15 min

a) Escriba cada función como Ecuación (3) y como Ecuación (4).

b) Simplifique algebraicamente F_1, F_2 y F_3.

Tabla 3. Tabla de verdad de las funciones F_1, F_2 y F_3.

A	B	C	F_1	F_2	F_3
0	0	0	0	1	1
0	0	1	0	1	1
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	1	1	0
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	0	1

8 Sea $G(A, B, C) = \prod M(0, 3, 5, 6)$. ≈ 12 min

- **a)** Construya su tabla de verdad.
- **b)** Exprese G como suma de minterminos.
- **c)** Obtenga G' como suma de minterminos y como producto de maxterminos.

9 Para cada función construya la tabla de verdad y escriba la forma canónica pedida. ≈ 15 min

- **a)** $F = xy + x'z + yz'$ como suma de minterminos (expanda cada término hasta que contenga las tres variables).
- **b)** $G = (x' + z')(y + z)$ como producto de maxterminos.

5.4 Parte IV. Mapas de Karnaugh

10 Sea $F(A, B, C) = \sum m(0, 2, 3, 5, 6, 7)$. ≈ 15 min

- **a)** Simplifíquela con un mapa de Karnaugh y compare con la simplificación algebraica.
- **b)** Impleméntela con compuertas AND, OR y NOT.
- **c)** Impleméntela usando únicamente compuertas NAND.
- **d)** Impleméntela usando únicamente compuertas NOR.

11 Sea $F(A, B, C, D) = \sum m(0, 4, 6, 10, 11, 13)$; use la plantilla de la Figura 2. ≈ 20 min

- **a)** Obtenga la expresión mínima en suma de productos agrupando los unos.
- **b)** Obtenga la expresión mínima en producto de sumas agrupando los ceros.

c) Cuente las compuertas y entradas de cada versión e indique cuál es más económica.

12 Una función de cuatro variables es $F(A,B,C,D) = \sum m(1,3,7,11,15)$ con condiciones indiferentes $d(0,2,5)$. ≈ 15 min

a) Dibuje el mapa y simplifique aprovechando las indiferentes.

b) Indique qué indiferentes usó, cuáles dejó fuera y por qué.

c) Impleméntela con compuertas NOR.

13 La Tabla 4 define un sistema combinacional de cuatro entradas (A, B, C, D) y tres salidas (F_1, F_2, F_3). ≈ 35 min

a) Construya el mapa de Karnaugh de las tres salidas.

b) Simplifique cada función algebraicamente y con el mapa.

c) Construya el circuito equivalente con compuertas.

d) Simule el circuito con la configuración de la Figura 4 y verifique las dieciséis combinaciones.

Tabla 4. Tabla de verdad del sistema de tres salidas (filas 0 a 7 a la izquierda y 8 a 15 a la derecha).

A	B	C	D	F_1	F_2	F_3	A	B	C	D	F_1	F_2	F_3
0	0	0	0	0	1	1	1	0	0	0	0	0	1
0	0	0	1	0	1	1	1	0	0	1	1	0	1
0	0	1	0	0	0	0	1	0	1	0	1	1	0
0	0	1	1	0	0	0	1	0	1	1	1	1	0
0	1	0	0	0	1	0	1	1	0	0	0	0	0
0	1	0	1	1	1	0	1	1	0	1	1	1	0
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	1

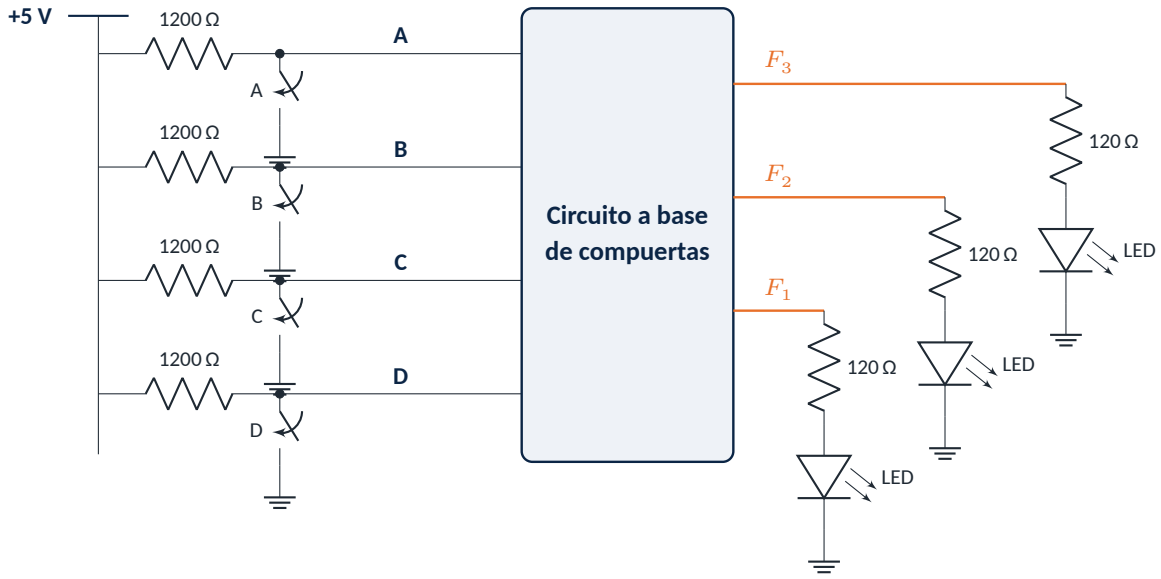


Figura 4. Configuración de simulación: resistencias de 1200 Ω con interruptores en las entradas y LED con 120 Ω en cada salida.

5.5 Parte V. Lógica combinacional

14 Un jet monitorea sus motores con tres sensores. La salida del sensor de RPM (R) es 0 solo cuando la velocidad supera 4800 rpm; la del sensor de presión (P) es 0 solo cuando la presión supera 220 psi; la del sensor de temperatura (T) es 0 solo cuando la temperatura supera 200 °F. En el circuito de la Figura 5, un nivel ALTO en W activa la luz de advertencia. ≈ 20 min

a) Obtenga la función de W y su tabla de verdad.

b) Determine qué condiciones del motor dan una advertencia al piloto.

c) Cambie el circuito por uno que utilice solo compuertas NAND.

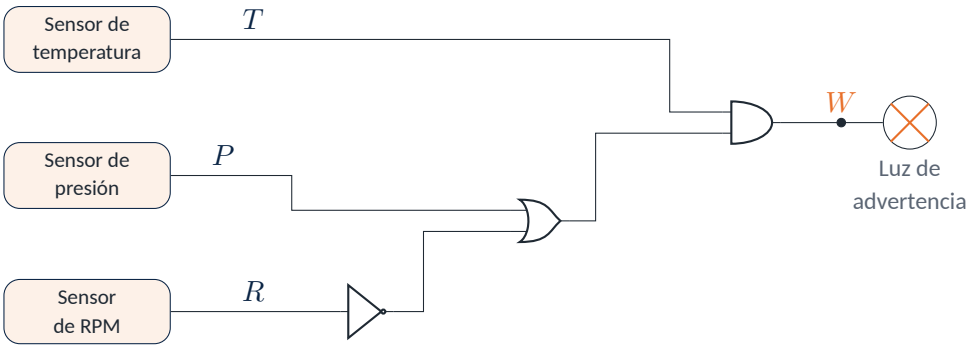


Figura 5. Circuito de la luz de advertencia del motor.

15 En el circuito de la Figura 6 las entradas A, B y C cambian en ocho intervalos. ≈ 15 min

a) Obtenga la expresión booleana de X y su tabla de verdad.

b) Dibuje la forma de onda de salida X y regístrela en la Tabla 6.

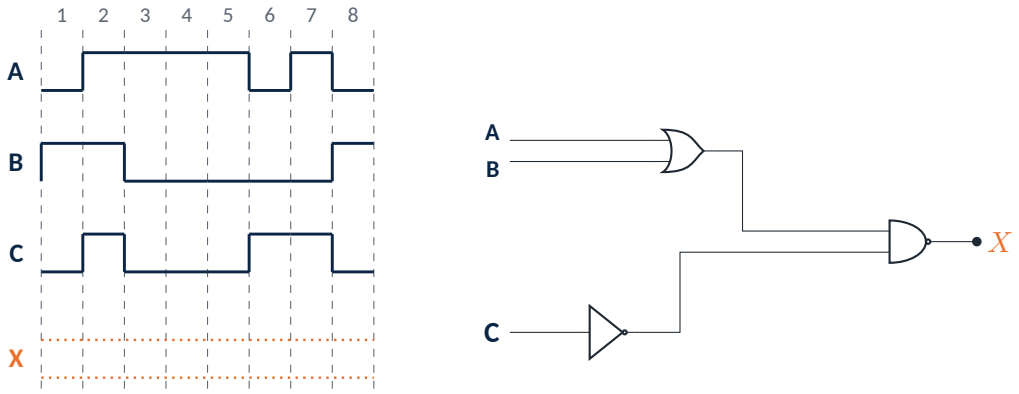


Figura 6. Formas de onda de las entradas (izquierda) y circuito cuya salida X debe dibujarse (derecha).

16 Diseñe un circuito que compare dos palabras binarias de 2 bits, ab y cd; la salida S vale 1 cuando $ab > cd$.
≈ 20 min

a) Construya la tabla de verdad de las 16 combinaciones.

b) Simplifique S con un mapa de Karnaugh.

c) Dibuje el circuito con compuertas y simúlelo.

17 El apagado de emergencia de un reactor se controla con cuatro señales: un disparo manual (A) y tres disparos automáticos (B, C, D). El sistema se activa con disparo manual o cuando al menos dos de las señales automáticas están activas. ≈ 20 min

a) Escriba la tabla de verdad y la función S en forma canónica.

b) Simplifique S con un mapa de Karnaugh.

c) Impleméntela usando solo compuertas NAND.

18 Tres sensores de temperatura T_1, T_2 y T_3 (con $T_1 < T_2 < T_3$) valen 1 cuando la temperatura supera su valor de ajuste. Un invernadero tiene dos ventiladores: por debajo de T_1 ninguno funciona; entre T_1 y T_2 funciona el pequeño (V_1); entre T_2 y T_3 funciona el grande (V_2); por encima de T_3 funcionan ambos.
≈ 25 min

a) Construya la tabla de verdad de V_1 y V_2 y marque como indiferentes las combinaciones de sensores que no pueden ocurrir.

b) Simplifique V_1 y V_2 con mapas de Karnaugh aprovechando las indiferentes.

c) Dibuje el circuito y simúlelo comprobando cada rango de temperatura.

19 El circuito de la Figura 7 tiene tres entradas a, b y c. ≈ 15 min

a) Obtenga la función lógica de salida G y su tabla de verdad.

b) Simplifíquela mediante álgebra de Boole.

c) Implemente el circuito simplificado y compare el número de compuertas.

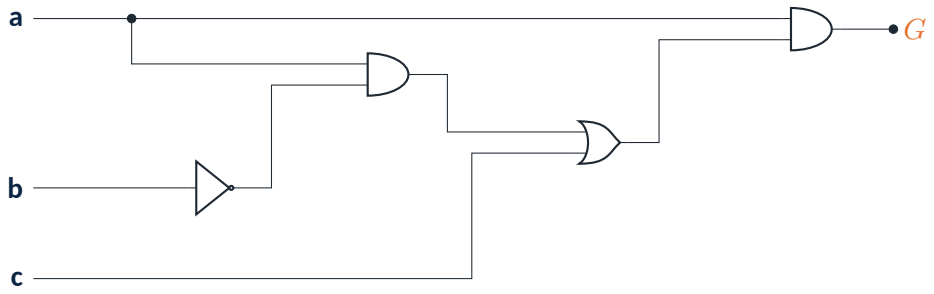


Figura 7. Circuito combinacional de tres entradas para analizar.

20 Un circuito de control tiene tres entradas E_1, E_2 y E_3 y una salida S. La salida es 1 cuando E_1 y E_3 valen 1, o cuando E_2 y E_3 valen 0. ≈ 20 min

a) Construya la tabla de verdad y escriba S como Ecuación (3).

b) Simplifique S con un mapa de Karnaugh.

c) Impleméntela usando únicamente compuertas NOR.

6 Registro de resultados

Registre en la Tabla 5 la expresión mínima de cada diseño y en la Tabla 6 la salida del paso 15.

Tabla 5. Resumen de expresiones mínimas y verificación en el simulador.

Paso	Expresión mínima obtenida	N.° de compuertas	Simulada
2			
5			
6			
10			
11			
12			
16			
17			
18			
20			

Tabla 6. Valores de las entradas en cada intervalo y salida X del paso 15.

Intervalo	A	B	C	X esperada	X simulada
1	0	1	0		
2	1	1	1		
3	1	0	0		
4	1	0	0		
5	1	0	0		
6	0	0	1		
7	1	0	1		
8	0	1	0		

7 Análisis y discusión

1. Con las expresiones del paso 11 registradas en la Tabla 5, compare la versión en suma de productos con la de producto de sumas y justifique cuál usaría.
2. Explique con la Ecuación (1) por qué toda función puede implementarse solo con NAND o solo con NOR, y ejemplifíquelo con los pasos 6 y 20.
3. En los pasos 12 y 18, ¿cuántas compuertas ahorró al usar condiciones indiferentes en la plantilla de la Figura 2? Cuantifique la diferencia.
4. Compare la salida esperada del paso 15 con la forma de onda simulada de la Tabla 6. ¿En qué intervalos X vale 1 y por qué?
5. En el paso 13, ¿qué función cumplen las resistencias de 1200 Ω y los interruptores de la Figura 4? ¿Qué nivel lógico ve el circuito con el interruptor abierto?

> **? Pregunta de reflexión**
> ¿Por qué las filas y columnas del mapa de Karnaugh siguen el orden Gray (00, 01, 11, 10) y no el orden binario natural?

8 Reto de extensión

Diseñe un circuito que indique si un número de 4 bits (0 a 15) es primo. Obtenga la tabla de verdad, simplifique con un mapa de Karnaugh, impleméntelo solo con compuertas NAND y simúlelo. *Otorga hasta 0,5 puntos adicionales.*

9 Entregables y evaluación

Entregue un informe en PDF que incluya el desarrollo de los 20 pasos, con sus mapas de Karnaugh agrupados, sus circuitos y las capturas de simulación. Adjunte las Tablas 5 y 6 diligenciadas y las respuestas de la sección de análisis. Se evalúa con la rúbrica de la Tabla 7.

Tabla 7. Rúbrica de evaluación (escala de 0,0 a 5,0).

Criterio	Peso	Superior (4,5–5,0)	Alto (4,0–4,4)	Básico (3,0–3,9)	Bajo (<3,0)
Preparación previa (RA1)	15 %	Plantillas y lecturas listas antes de la sesión	Un faltante menor	Preparación incompleta	No se prepara
Simplificación y formas canónicas (RA1, RA2)	30 %	Resultados correctos con cada ley nombrada	Un error menor sin afectar el resultado	Errores en varias simplificaciones	Sin procedimiento válido
Diseño con compuertas (RA3)	30 %	Diseños mínimos y correctos, también con NAND y NOR	Correctos pero no mínimos	Correctos solo en parte	No funcionan
Análisis y simulación (RA4)	15 %	Circuitos verificados y análisis con cifras	Verificados; análisis general	Verificación parcial	Sin verificación
Informe y referencias	10 %	Claro, ordenado y con figuras citadas	Ordenado; fallas menores	Desordenado o incompleto	No lo entrega

10 Referencias

[1] CEKIT, *Curso práctico de electrónica digital*, «Resumen de compuertas digitales», p. 69.

[2] T. L. Floyd, *Digital Fundamentals*, 11.ª ed. Boston, MA, EE. UU.: Pearson, 2015.

[3] Universidad del Pacífico, Programa de Ingeniería de Sistemas, talleres de Electrónica Digital: «Álgebra de Boole» (IS0403, 2020-2), «Mapas de Karnaugh y aplicaciones» (2022-1) y «Ejercicios de aplicación, corte 2».

Registro del grupo

Nombre completo	Código	Firma

Elaborado por: Prof. Jhon Jairo Murillo Flórez • jjmurilloflorez@unipacifico.edu.co
Código: `JJMF-EDIG-TAL-04-v1.0` • Universidad del Pacífico
Este material se distribuye bajo licencia Creative Commons Atribución–NoComercial–CompartirIgual 4.0 (CC BY-NC-SA 4.0).

Versión	Fecha	Cambios
1.0	07/10/2026	Versión inicial.